

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-193437

(43)Date of publication of application : 08.07.2004

(51)Int.Cl.

H01L 31/08
H01L 21/8242
H01L 27/108
H01L 27/146
H01L 29/06
H01L 29/786
H01L 33/00
H01L 37/02
H01L 51/00
H01L 51/10

(21)Application number : 2002-361538

(71)Applicant : IDEAL STAR INC

(22)Date of filing : 12.12.2002

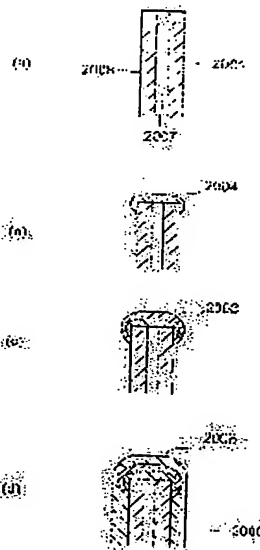
(72)Inventor : KASAMA YASUHIKO
OMOTE KENJI
FUJIMOTO SATOSHI

(54) END FACE SENSOR AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an end face sensor device which has flexibility without a restriction in its shape and can form various devices of arbitrary shapes, and to provide its manufacturing method.

SOLUTION: The end face of a wire-shaped body of this end face sensor device has a receiving part which receives the information from an object and output it as the other information. On the end face of the wire-shaped body 2001 having a central electrode 2007 whose periphery is covered with an insulating film 2008, an n-type semiconductor layer 2004 and a p-type semiconductor layer 2003 are formed in order, and then the p-type semiconductor layer 2003 is covered with a transparent electrode 2006.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-193437

(P2004-193437A)

(43) 公開日 平成16年7月8日(2004. 7. 8)

(51) Int. Cl. ⁷	F 1	テーマコード (参考)
HO 1 L 31/08	HO 1 L 31/08 T	4M118
HO 1 L 21/8242	HO 1 L 29/06 6O1B	5FO41
HO 1 L 27/108	HO 1 L 33/00 Z	5FO83
HO 1 L 27/146	HO 1 L 37/02	5FO88
HO 1 L 29/06	HO 1 L 27/10 671C	5F110
審査請求 未請求 請求項の数 26 OL (全 37 頁) 最終頁に続く		

(21) 出願番号	特願2002-361538 (P2002-361538)	(71) 出願人	502344178
(22) 出願日	平成14年12月12日 (2002. 12. 12)		株式会社イデアルスター
			宮城県仙台市青葉区南吉成六丁目6番地の3
		(74) 代理人	100088096
			弁理士 福森 久夫
		(72) 発明者	笠間 泰彦
			宮城県仙台市泉区虹の丘4丁目11番地の12
		(72) 発明者	表 研次
			宮城県仙台市泉区住吉台東5丁目13-18
		(72) 発明者	藤本 諭
			宮城県仙台市泉区七北田字大沢明通21-1
			最終頁に続く

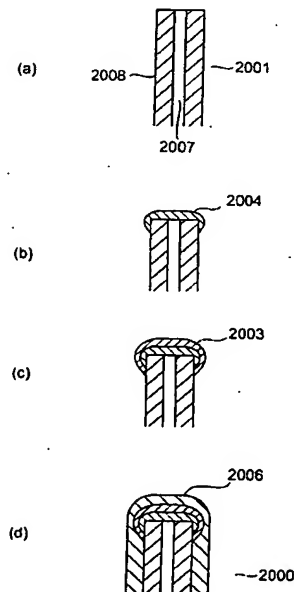
(54) 【発明の名称】 端面センサ及びその製造方法

(57) 【要約】 (修正有)

【課題】 形状に限定されことなく、柔軟性ないし可撓性を有し、任意の形状の各種装置を作成することが可能な端面センサデバイス及びその製造方法を提供する。

【解決手段】 線状体の端面に、対象からの情報を受容して他の情報として出力する受容部が形成されていることを特徴とする端面センサデバイス。外周を絶縁膜2008で覆われた中心電極2007を有する線状体2001の端面に、n型半導体層2004、p型半導体層2003を順次形成し、次いで、p型半導体層2003を透明電極2006で被覆する。

【選択図】 図21



【特許請求の範囲】

【請求項 1】

線状体の端面に、対象からの情報を受容して他の情報として出力する受容部が形成されていることを特徴とする端面センサデバイス。

【請求項 2】

前記受容部は、光センサであることを特徴とする請求項 1 又は 2 記載の端面センサデバイス。

【請求項 3】

前記光センサは、フォトダイオード、フォトトランジスタ、フォト IC、フォトサイリスタ、光導電素子、焦電素子、カラーセンサ、固体イメージセンサ、位置検出用素子、太陽電池のいずれかであることを特徴とする請求項 2 記載の端面センサデバイス。

【請求項 4】

前記受容部は温度センサであることを特徴とする請求項 1 記載の端面センサデバイス。

【請求項 5】

前記受容部は湿度センサであることを特徴とする請求項 1 記載の端面センサデバイス。

【請求項 6】

前記受容部は超音波センサであることを特徴とする請求項 1 記載の端面センサデバイス。

【請求項 7】

前記受容部は圧力センサであることを特徴とする請求項 1 記載の端面センサデバイス。

【請求項 8】

前記受容部の一部又は全部が導電性高分子を用いて形成されていることを特徴とする請求項 1 乃至 7 のいずれか 1 項記載の端面センサデバイス。

【請求項 9】

前記導電性高分子は、電極間に一分子のみ存在することを特徴とする請求項 8 記載の端面センサデバイス。

【請求項 10】

前記線状体は、回路素子が長手方向に連続的又は間欠的に形成されている線状素子であることを特徴とする請求項 1 乃至 9 のいずれか 1 項記載の端面センサデバイス。

【請求項 11】

回路を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている線状素子であることを特徴とする請求項 1 乃至 9 のいずれか 1 項記載の端面センサデバイス。

【請求項 12】

断面に少なくとも二つの導電性領域を絶縁領域を介して有する線状体からなり、端面にの絶縁層領域に導電性高分子からなる層が形成されていることを特徴とする端面センサデバイス。

【請求項 13】

前記導電性領域の一つが中心部に形成され、他の導電性領域は外周に形成されていることを特徴とする請求項 12 記載の端面センサデバイス。

【請求項 14】

導電性高分子の長手方向が半径方向に配列されていることを特徴とする請求項 13 記載の端面センサデバイス。

【請求項 15】

導電性高分子の分子長が電極間距離以下であることを特徴とする請求項 13 記載の端面センサデバイス。

【請求項 16】

導電性高分子は、被測定対象に対するサセプタ部となる側鎖を有することを特徴とする請求項 13 記載の端面センサデバイス。

【請求項 17】

複数の線状体を束ねて束とし、該線状体の端面に、受容部を該束ごとに形成することを特徴とする端面センサデバイスの製造方法。

【請求項 18】

複数の線状体を束ねた束を複数束用意し、該線状体の端面に、それぞれの束ごとに異なる機能の受容部を形成し、次いで、各束から線状体を取りだし、該取り出した線状体を束ねることを特徴とする多機能の端面センサデバイスの製造方法。

【請求項 19】

線状体に少なくとも一対の電極を設けておき、該電極間にバイアス電圧を印加しながら線状体の端面に膜を形成することを特徴とする端面センサデバイスの製造方法。

【請求項 20】

前記一対の電極は、該線状体の中心部及び外周に設けることを特徴とする請求項 17 記載の端面センサデバイスの製造方法。

【請求項 21】

前記膜は、導電性高分子からなることを特徴とする請求項 17 乃至 20 のいずれか 1 項記載の端面センサデバイスの製造方法。

【請求項 22】

前記導電性高分子は、一分子の長さが、前記電極間距離以下であることを特徴とする請求項 21 記載の端面センサデバイスの製造方法。

【請求項 23】

前記バイアス電圧は直流電圧であることを特徴とする請求項 19 乃至 21 のいずれか 1 項記載の端面センサデバイス。

【請求項 24】

前記バイアス電圧は交流電圧であることを特徴とする請求項 19 乃至 21 のいずれか 1 項記載の端面センサデバイスの製造方法。

【請求項 25】

線状体に一対の電極を設けておき、該電極間に直流バイアス電圧と交流バイアス電圧とを重畳させて印加しながら線状体の端面に膜を形成することを特徴とする端面センサデバイスの製造方法。

【請求項 26】

前記交流バイアス電圧の周波数を経時的に変化させることを特徴とする請求項 19 乃至 25 のいずれか 1 項記載の端面センサデバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、線状素子及びその製造方法に関する。

【0002】

【従来の技術】

現在、各種のセンサが広範に普及しており、より一層の高集積化、高密度化に努力が払われている。その一つとして三次元的に集積させる技術も試みられている。

【0003】

しかし、いずれのセンサもウエハなどのリジッドな基板を基本構成としている。リジッドな基板を基本構成とする以上、その製造方法には一定の制約を受け、また、集積度には限界がある。さらに、デバイス形状も一定のものに限定されてしまう。

【0004】

また、綿や絹の表面を金や銅の導電性材料でめっきあるいは包んだ導電性繊維が知られている。

【0005】

しかし、一本の糸内に回路素子が形成されている技術は知られていない。また、導電性繊維というも綿や絹などの糸自体を基本構成とし、糸自体をその中心に有している。

【0006】

10

20

30

40

50

【発明が解決しようとする課題】

本発明は、形状に限定されることなく、柔軟性ないし可撓性を有し、任意の形状の各種装置を作成することが可能な端面センサデバイス及びその製造方法を提供することを目的とする。

【0007】**【課題を解決するための手段】**

本発明の端面センサデバイスは、線状体の端面に、対象からの情報を受容して他の情報として出力する受容部が形成されていることを特徴とする。

【0008】

ここで、線状体としては、後述する線状素子を適用することができる。また、寸法、製造方法について線状素子について述べたものを準用することができる。

【0009】

前記受容部は、光センサであることを特徴とする。

【0010】

前記光センサは、フォトダイオード、フォトトランジスタ、フォトIC、フォトサイリスタ、光導電素子、焦電素子、カラーセンサ、固体イメージセンサ、位置検出用素子、太陽電池のいずれかであることを特徴とする。

【0011】

前記受容部は温度センサであることを特徴とする。

【0012】

前記受容部は湿度センサであることを特徴とする。

【0013】

前記受容部は超音波センサであることを特徴とする。

【0014】

前記受容部は圧力センサであることを特徴とする。

【0015】

前記受容部の一部又は全部が導電性高分子を用いて形成されていることを特徴とする。

【0016】

前記導電性高分子は、電極間に一分子のみ存在することを特徴とする。

【0017】

前記線状体は、回路素子が長手方向に連続的又は間欠的に形成されている線状素子であることを特徴とする。

【0018】

前記線状体は、回路を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている線状素子であることを特徴とする。

【0019】

本発明の端面センサデバイスの製造方法は、複数の線状体を束ねて束とし、該束ごとに受容部を形成することを特徴とする。

【0020】

本発明の多機能端面センサデバイスの製造方法は、複数の線状体を束ねた束を複数束用意し、それぞれの束ごとに異なる機能の受容部を形成し、次いで、各束から線状体を取りだし、該取り出した線状体を束ねることを特徴とする。

【0021】

本発明の端面センサデバイスの製造方法は、線状体に一对の電極を設けておき、該電極間にバイアス電圧を印加しながら線状体の端面に膜を形成することを特徴とする。

【0022】

前記バイアス電圧は交流電圧であることを特徴とする。

【0023】

前記膜は、導電性高分子からなることを特徴とする。

【0024】

10

20

30

40

50

前記導電性高分子は、一分子長さが、電極間距離以下であることを特徴とする。

【0025】

〔線状素子〕

(線状素子1) 回路素子が長手方向に連続的又は間欠的に形成されていることを特徴とする線状素子。

【0026】

(線状素子2) 回路を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されていることを特徴とする線状素子。

【0027】

(線状素子3) 前記素子はエネルギー変換素子であることを特徴とする線状素子1又は2記載の線状素子。 10

【0028】

(線状素子4) 前記素子は、電子回路素子ないし光回路素子であることを特徴とする線状素子1又は2記載の線状素子。

【0029】

(線状素子5) 前記素子は、半導体素子であることを特徴とする線状素子1又は2記載の線状素子。

【0030】

(線状素子6) 前記素子は、ダイオード、トランジスタ又はサイリスタであることを特徴とする線状素子1又は2記載の線状素子。 20

【0031】

(線状素子7) 前記素子は、発光ダイオード、半導体レーザ又は受光デバイスであることを特徴とする線状素子1又は2記載の線状素子。

【0032】

(線状素子8) 前記素子は、DRAM、SRAM、フラッシュメモリその他のメモリであることを特徴とする線状素子1又は2記載の線状素子。

【0033】

(線状素子9) 前記素子は、光起電力素子であることを特徴とする線状素子1又は2記載の線状素子。

【0034】

(線状素子10) 前記素子は、イメージセンサ素子又は二次電池素子であることを特徴とする線状素子1又は2記載の線状素子。 30

【0035】

(線状素子11) 縦断面形状が円形、多角形、星型、三日月、花卉、文字形状その他の任意形状を有していることを特徴とする線状素子1乃至10のいずれか1項記載の線状素子。

【0036】

(線状素子12) 線側面に複数の露出部を有していることを特徴とする請求項1乃至11のいずれか1項記載の線状素子。

【0037】

(線状素子13) 前記線状素子は、その全部又は一部が押出し加工により形成されたものであることを特徴とする線状素子1ないし12のいずれか1項記載の線状素子。 40

【0038】

(線状素子14) 前記線状素子は、その一部又は全部を押出し加工後さらに延伸加工することにより形成されたものであることを特徴とする線状素子13記載の線状素子。

【0039】

(線状素子15) 前記線状素子は、押出し加工後さらに展伸加工されたものであることを特徴とする線状素子12ないし14のいずれか1項記載の線状素子。

【0040】

(線状素子16) 前記展伸加工後、リング状又はらせん状に形成したことを特徴とする 50

線状素子 15 記載の線状素子。

【0041】

(線状素子 17) 前記リングは多重リングであることを特徴とする線状素子 16 記載の線状素子。

【0042】

(線状素子 18) 前記多重リングは、異なる材料からなることを特徴とする線状素子 17 記載の線状素子。

【0043】

(線状素子 19) リング又はらせんの一部が露出部となっていることを特徴とする線状素子 16 ないし 18 のいずれか 1 項記載の線状素子。

【0044】

(線状素子 20) 前記リング又はらせんの空隙部の一部又は全部に他の材料を充填したことを特徴とする線状素子 16 ないし 19 のいずれか 1 項記載の線状素子。

【0045】

(線状素子 21) 外径が 10 mm 以下であることを特徴とする線状素子 1 乃至 20 のいずれか 1 項記載の線状素子。

【0046】

(線状素子 22) 外径が 1 mm 以下であることを特徴とする線状素子 1 乃至 21 のいずれか 1 項記載の線状素子。

【0047】

(線状素子 23) 外径が 1 μ m 以下であることを特徴とする線状素子 1 ないし 20 のいずれか 1 項記載の線状素子。

【0048】

(線状素子 24) アスペクト比が 10 以上であることを特徴とする線状素子 1 ないし 23 のいずれか 1 項記載の線状素子。

【0049】

(線状素子 25) アスペクト比が 100 以上であることを特徴とする線状素子 1 乃至 24 のいずれか 1 項記載の線状素子。

【0050】

(線状素子 26) 断面内に、ゲート電極領域、絶縁領域、ソース及びドレイン領域、半導体領域が形成されていることを特徴とする線状素子 1 ないし 25 のいずれか 1 項記載の線状素子。

【0051】

(線状素子 27) 中心にゲート電極領域を有し、その外側に、絶縁領域、ソース及びドレイン領域、半導体領域が順次形成されていることを特徴とする請求項 26 項記載の線状素子。

【0052】

(線状素子 28) 中心に中空領域ないし絶縁領域を有し、その外方に半導体領域を有し、該半導体領域内に、一部が外方に露出するようにソース及びドレイン領域を有し、その外方に絶縁領域及びゲート電極領域を有することを特徴とする線状素子 26 記載の線状素子。

【0053】

(線状素子 29) 少なくとも p n 接合ないし p i n 接合を有する領域が断面内に形成されていることを特徴とする線状素子 1 ないし 26 のいずれか 1 項記載の線状素子。

【0054】

(線状素子 30) 前記回路を形成する半導体領域は、有機半導体材料からなることを特徴とする線状素子 1 ないし 29 のいずれか 1 項記載の線状素子。

【0055】

(線状素子 31) 前記有機半導体材料は、ポリチオフェン、ポリフェニレンであることを特徴とする線状素子 30 記載の線状素子。

10

20

30

40

50

【0056】

(線状素子32) 前記回路を形成する導電性領域は、導電性ポリマーからなることを特徴とする線状素子1ないし31のいずれか1項記載の線状素子。

【0057】

(線状素子33) 前記導電性ポリマーは、ポリアセチレン、ポリフェニレンビニレン、ポリピロール、であることを特徴とする線状素子32記載の線状素子。

【0058】

(線状素子34) 長手方向の任意の位置に異なる回路素子が形成されていることを特徴とする線状素子1ないし33のいずれか1項記載の線状素子。

【0059】

(線状素子35) 長手方向の任意の位置に回路素子分離領域を有することを特徴とする線状素子1ないし34のいずれか1項記載の線状素子。

【0060】

(線状素子36) 長手方向の任意の位置に断面の外径形状が異なる部分を有することを特徴とする線状素子1ないし35のいずれか1項記載の線状素子。

【0061】

(線状素子37) 導電性ポリマーにより領域の一部が構成され、分子鎖の長手方向配向率が50%以上であることを特徴とする線状素子1ないし36のいずれか1項記載の線状素子。

【0062】

(線状素子38) 導電性ポリマーにより領域の一部が構成され、分子鎖の長手方向配向率が70%以上であることを特徴とする線状素子1ないし36のいずれか1項記載の線状素子。

【0063】

(線状素子39) 導電性ポリマーにより領域の一部が構成され、分子鎖の円周方向配向率が50%以上であることを特徴とする線状素子16ないし20のいずれか1項記載の線状素子。

【0064】

(線状素子40) 導電性ポリマーにより領域の一部が構成され、分子鎖の円周方向配向率が70%以上であることを特徴とする線状素子16ないし20のいずれか1項記載の線状素子。

【0065】

(線状素子41) 回路素子を形成する領域を形成する材料を溶解、熔融又はゲル化し、該材料を所望の形状に線状に押出すことを特徴とする線状素子の製造方法。

【0066】

(線状素子42) 前記領域の一部が導電性ポリマーにより形成されていることを特徴とする線状素子41記載の線状素子の製造方法。

【0067】

(線状素子43) 前記押出し後さらに延伸加工することを特徴とする線状素子41又は42記載の線状素子の製造方法。

【0068】

(線状素子44) 前記押出し加工後さらに展伸加工することを特徴とする請求項41又は42記載の線状素子の製造方法。

【0069】

(線状素子45) 前記延伸加工後さらに展伸加工することを特徴とする請求項43記載の線状素子の製造方法。

【0070】

(線状素子46) 前記展伸加工後、リング状に形成することを特徴とする請求項44又は45記載の線状素子の製造方法。

【0071】

10

20

30

40

50

(線状素子 47) 中心から外方に多層に積層した線状素子の製造方法であって、中心層を押出しにより糸状に形成して一次糸状体とし、次いで該一次糸状体を走行させながら、表面に外方の層の原料を射出して外方の層を順次形成することを特徴とする線状素子 41 ないし 46 のいずれか 1 項記載の線状素子の製造方法。

【0072】

(線状素子 48) 導電性ポリマーの押出時、走行速度と噴出速度との差を 20 m/sec 以上とすることを特徴とする線状素子 47 記載の線状素子の形成方法。

【0073】

(線状素子 49) 線状素子 1 ないし 40 のいずれか 1 項記載の線状素子を長手方向垂直にスライスして分離してなる小単位の線状素子。

【0074】

(線状素子 50) 中心部に電極を有し、該中心電極の外周に絶縁層が形成され、該絶縁層の外周に、ソース領域とドレイン領域との対が複数対形成されちえる半導体層形成されていることを特徴とする線状素子 1 記載の線状素子。

【0075】

(線状素子 51) 中心部に電極を有し、該中心電極の外周に絶縁層が形成され、該絶縁層の外周に半導体層と絶縁層が交互に複数層形成され、各半導体層には、ソース領域とドレイン領域との対が一对以上形成されるとともに、ソース領域とドレイン領域との間に、内側の層におけるドレイン領域乃至ドレイン電極が位置するように構成されていることを特徴とする線状素子 1 記載の線状素子。

【0076】

(線状素子 52) 半導体層の中心にソース電極を有し、該ソース電極の周囲に半導体層を介して周方向に間欠的に複数のゲート電極を有し、該半導体層の外周にドレイン電極を有することを特徴とする線状素子 1 記載の線状素子。

【0077】

上記線状素子としては、下記のもので適用可能である。センサの用途に応じて適宜選択すればよい。線状素子を線状体として用いることにより、受容部からの出力信号を例えば、増幅することが可能である。また、受容部からの出力信号を演算処理することも可能である。

【0078】

線状素子は、回路素子が長手方向に連続して又は間欠的に形成されていることを特徴とする線状素子。

【0079】

また、回路を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されていることを特徴とする線状素子。

【0080】

回路素子を形成する領域を形成する材料を溶解又は熔融し、該材料を所望の形状に線状に押出すことを特徴とする線状素子の製造方法である。

【0081】

すなわち、この線状素子においては、一つの断面内に回路を形成するように複数の領域を有している。

【0082】

なお、線状素子という場合先端が針状その他の形状を有しているものも含まれる。

【0083】

(回路素子)

ここで、回路素子としては、例えば、エネルギー変換素子があげられる。エネルギー変換素子は、光エネルギーを電気エネルギーに変換したり、電気エネルギーを光エネルギーに変化する阻止である。電子回路、磁気回路あるいは光回路素子があげられる。回路素子は信号を単に伝送する光ファイバーとは異なり、また、導線とも異なる。

【0084】

10

20

30

40

50

回路素子としては、例えば、電子回路素子ないし光回路素子があげられる。

【0085】

より具体的には、例えば、半導体素子である。

【0086】

従来のプロセス技術上の違いから分類すると、ディスクリート（個別半導体）、光半導体、メモリ等があげられる。

【0087】

より具体的には、ディスクリートとして、ダイオード、トランジスタ（バイポーラトランジスタ、FET、絶縁ゲート型トランジスタ）、サイリスタなどがあげられる。光半導体として、発光ダイオード、半導体レーザ、発光デバイス（フォトダイオード、フォトトランジスタ、イメージセンサ）などがあげられる。また、メモリとしては、DRAM、フラッシュメモリ、SRAMなどがあげられる。

【0088】

（回路素子の形成）

本発明では、回路素子が長手方向に連続的あるいは間欠的に形成されている。

【0089】

すなわち、長手方向垂直断面内に複数の領域を有し、該複数の領域が一つの回路素子を形成するように配置されており、かかる断面が長手方向に連続的あるいは間欠的に糸状に続いている。

【0090】

例えば、NPNバイポーラトランジスタの場合、エミッタN領域、ベースP領域、コレクタP領域の3つの領域から構成される。従って、これらの3つの領域が断面内に、必要な領域間接合を持たせて配置されている。

【0091】

その配置方法としては、例えば、各領域を同心円状に形成中心にから順に配置する方法が考えられる。すなわち、中心からエミッタ領域、ベース領域、コレクタ領域を順次形成すればよい。もちろん他の配置も考えられ、トポロジー的に同一の配置を適宜用いればよい。

【0092】

なお、各領域に接続する電極は、糸状素子の端面から各領域に接続してもよい。また、当初から各領域に埋め込んでもよい。すなわち、前記同心円状に各半導体領域を配置した場合には、エミッタ領域の中心にエミッタ電極を、ベース領域にベース電極を、コレクタ領域の外周にコレクタ電極を、各半導体領域と同様に長手方向に連続的に形成すればよい。なお、ベース電極は、分割して配置すればよい。

【0093】

以上のNPNバイポーラトランジスタは後述する押出し形成方法により一体形成することが可能である。

【0094】

以上は、NPNトランジスタを例にとったが他の回路素子についても同様に、断面内に複数の領域を必要な接合を持たせて配置し、該断面を長手方向に例えば押出しにより連続的に形成すればよい。

【0095】

（連続形成、間欠形成）

回路素子は、連続的に形成されている場合は、どの断面をとっても同一形状をなしている。俗にいう金太郎飴状態である。

【0096】

該回路素子は、同一素子を線状の長手方向に連続して形成してもよいし間欠的に形成してもよい。

【0097】

（線状）

10

20

30

40

50

本発明における線状素子における外径は、10 mm以下が好ましく、5 mm以下がより好ましい。1 mm以下が好ましく、10 μ m以下がさらに好ましい。得延伸加工を行うことにより1 μ m以下、さらには0.1 μ m以下とすることも可能である。線状素子を織り込んで布地状とするためにも外径は小さいほど好ましい。

【0098】

1 μ m以下の外径を有する極細線状体を型の孔から吐出させて形成しようとする場合には、孔のつまりが生じたり、糸状体の破断が生ずる場合がある。かかる場合には、各領域の線状体をまず形成する。次ぎにこの線状体を島として多くの島を作り、その周囲（海）を可溶性のもので取り巻き、それをロート状の口金で束ねて、小口から一本の線状体として吐出させればよい。島成分を増やして海成分を小さくすると極めて細い線状体素子をつ

10

【0099】

他の方法として、一旦太めの線状体素子をつくり、その後長手方向に延伸すればよい。また、熔融した原料をジェット気流に乗せてメルトブローして極細化を図ることも可能である。

【0100】

また、アスペクト比は、押出形成により任意の値とすることができる。紡糸による場合には糸状として1000以上が好ましい。例えば100000あるいはそれ以上も可能である。切断後使用する場合には、10～10000、10以下、さらには1以下、0.1以下として小単位の線状素子としてもよい。

20

【0101】

（間欠形成）

同一素子を間欠的に形成する場合、長手方向に隣接する素子を異なる素子とすることができる。例えば、長手方向に順次、MOSFET（1）、素子間分離層（1）、MOSFET（2）、素子間分離層（2）……MOSFET（n）、素子間分離層（n）と形成すればよい。

【0102】

この場合、MOSFET（k）（k=1～n）と他のMOSFETとの長さは、同じとしてもよいが異なる長さとしてもよい。希望する回路素子の特性に応じて適宜選択することができる。素子間分離層の長さについても同様である。

30

【0103】

もちろん、MOSFETと素子分離層との間に他の層を介在せしめてもよい。

【0104】

以上はMOSFETを例にとって説明したが、他の素子を形成する場合、他の素子の用途上必要な層を間欠的に挿入しておけばよい。

【0105】

（断面形状）

線状素子の断面形状は特に限定されない。例えば、円形、多角形、星型その他の形状とすればよい。例えば、複数の頂角が鋭角をなす多角形状であってもよい。

【0106】

また、各領域の断面も任意にすることができる。すなわち、例えば、図1に示す構造の場合、ゲート電極を星型とし、線状素子の外側形状は円形状でもよい。

40

【0107】

素子により、隣接する層との接触面を大きくとりたい場合には、頂角が鋭角となっている多角形状とすることが好ましい。

【0108】

なお、断面形状を所望の形状とするには、押出しダイスの形状を該所望する形状のものとするれば容易に実現することができる。

【0109】

最外層の断面を星型あるいは頂角が鋭角をなす形状とした場合、押出し形成後、頂角同士

50

の間の空間に、例えば、ディッピングにより他の任意の材料を埋め込むことができ、素子の用途によって素子の特性を変化させることができる。

【0110】

また、断面形状が凹形状の線状素子と断面形状が凸形状の線状素子とを嵌合せしめることにより線状素子間の接続を有効的にとることも可能となる。

【0111】

なお、半導体層へ不純物をドーピングしたい場合は、熔融原料中に不純物を含有せしめておいてもよいが、押出し形成後、真空室内を線状のまま通過させ、真空室内で例えばイオン注入法などにより不純物をドーピングしてもよい。半導体層が最外層ではなく内部に形成されている場合には、イオン照射エネルギーを制御することにより内層である半導体層のみにイオン注入すればよい。

【0112】

(製造例 後加工形成)

上記製造例は、複数の層を有する素子を押出しにより一体形成する例であるが、素子の基本部を押出しにより線状に形成し、その後該基本部に適宜の方法により被覆を施すことにより形成してもよい。

【0113】

(原材料)

電極、半導体層などの材料としては、導電性高分子を用いることが好ましい。

【0114】

例えば、ポリアセチレン、ポリアセン、(オリゴアセン)、ポリチアジル、ポリチオフェン、ポリ(3-アルキルチオフェン)、オリゴチオフェン、ポリピロール、ポリアニリン、ポリフェニレン等が例示される。これらから導電率などを考慮して電極、あるいは半導体層の材料として選択すればよい。

【0115】

なお、半導体層の材料としては、例えば、ポリパラフェニレン、ポリチオフェン、ポリ(3-メチルチオフェン)などが好適に用いられる。

【0116】

また、ソース・ドレイン材料としては、上記半導体材料に、ドーパントを混入せしめたものを用いればよい。n型とするためには、例えば、アルカリ金属(Na、K、Ca)などを混入せしめればよい。AsF₅/AsF₃やClO₄⁻をドーパントとして用いる場合もある。

なお、導電性高分子材料にフラーレンを入れて用いてもよい。この場合アクセプタとして作用する。

【0117】

絶縁性材料としては、一般的な樹脂材料を用いればよい。また、SiO₂その他の無機材料を用いてもよい。

【0118】

なお、中心部に半導体領域あるいは導電性領域を有する構造の線状素子の場合、中心部の領域は、アモルファス材料(アルミニウム、銅などの金属材料:シリコンなどの半導体材料)により構成してもよい。線状のアモルファス材料を型の中心部を挿通せしめて線状アモルファス材料を走行させ、その外周に、射出により他の所望の領域を被覆して形成すればよい。

【0119】

【実施例】

(実施例1)

図21に本発明の実施例1に係る端面センサを示す。

【0120】

本例の端面センサデバイス2000は、線状体2001の端面に、対象からの情報を受容して他の情報として出力する受容部2005が形成されている。

【0121】

以下より詳細に説明する。

【0122】

線状体2001は、中止部に中心電極2007を有し、その外周は絶縁膜2008で覆われている。

【0123】

上記線状体2001を用意し、その端面にn型半導体層2004を形成する。次いで、n型半導体層2004上にp型半導体層2003を形成する。これにより、線状体2001の端面にpn接合の受容部（光センサ）が形成される。

【0124】

次いで、p型半導体層2003を被覆して透明電極2006を形成することにより端面センサデバイス2000が完成する。

【0125】

n型半導体層2004、p型半導体層2003の形成は方法は気相形成法あるいは液相形成法その他の方法を用いればよく、その形成方法に特に限定されない。例えば、図22示す方法により行うことが好ましい。すなわち、導電性高分子の線状体2001の端面を浸漬すればよい。

【0126】

また、透明電極2006の形成も気相法、液相法その他の方法を用いればよい。半導体層の形成と同様に、導電性高分子の溶液あるいは融液中に浸漬することにより行えばよい。

【0127】

（実施例2）

本例は、多機能のセンサデバイスを微細加工フリーで高密度に製造するための方法について説明する。

【0128】

図23に示すように、本例では、複数の線状体2001を用意し、複数の線状体を束ねる。束ねた状態で線状体の端面に一括して受容部を形成する。例えば、束ねた状態で端面を導電性高分子の溶液あるいは融液中に浸漬する。これにより、端面に形状均一で均質な特性を有する端面センサデバイスが大量に製造することができる。

【0129】

また、束を複数用意し、それぞれの束ごとに異なる機能を有する受容部を形成する。図23において、A、B、C、Dの束はそれぞれ異なる機能の受容部が形成されている。

【0130】

束ごとに受容部を形成後、それぞれの束から一本あるいは複数本の端面センサデバイスを取り出し、取り出した端面センサデバイスを束ねて束Xとする。なお、束Xはマイクロシリンジ内に収納してもよい。

【0131】

これにより多機能の端面センサデバイスが形成される。

【0132】

このように、それぞれの束から必要な機能を有する端面センサデバイスを集めて束ねるだけで、高密度センサアレイを完成させることができる。

【0133】

例えば、直径10 μ mの線状体を束ねると、内径0.2 μ mのマイクロシリンジの中に330~400本くらいの線状の端面センサデバイスが挿入される。多様な情報を高密度（本例では約120万情報/cm²）に受容することが可能となる。例えば、径が3 μ mの視細胞なら4mm ϕ の領域に160万個の視細胞が埋め込まれることになる。

【0134】

しかも、微細加工することなく高密度の多機能センサデバイスを製造することが可能となる。

【0135】

10

20

30

40

50

(実施例3)

端面にバイアスを印加しながら形成する例を示す。図24に基づいて説明する。

【0136】

本例では、線状体として、絶縁膜2008の外周に外周電極2011が形成されているものを用意する。

【0137】

端面に受容部を形成する際に中心電極2007と外周電極2011との間にバイアス電圧を印加する。なお、線状体を束にして受容部を形成する場合は、各線状体の外周電極を導通させておく。

【0138】

受容部を導電性高分子で形成し、その導電性高分子の一分子の末端をイオン基で修飾しておく。バイアス電圧を印加すると電気力線は半径方向に走り、導電性高分子は半径方向に配列して形成される。なお、導電性高分子の分子長を中心電極2007と外周電極2008との間の距離と等しくするか短くしておけばよい。高分子の分子長の制御は、重合度を制御することにより行えばよい。

【0139】

本例においては、電極間には一分子のみが存在する。導電性高分子においては、電流は分子間を電子がホッピングすることにより流れる。それに対して本例においてはホッピングを生ずることなく電流は流れるため電流速度は極めて高速となる。従って、上記のようにバイアスをかけながら作成した半導体層を含む半導体装置においては高速動作が実現される。

【0140】

なお、バイアスは、直流でもよいが交流がより好ましい。交流を用い場合には、高分子の同士の絡み合いが離れ、より配列性が良好になる。特に、周波数を経時的に変化させることが好ましい。なお、交流としては1Hz以上が好ましい。

【0141】

交流バイアスと直流バイアスとを重畳して印加すると、交流バイアス印加により絡み合いが解除された高分子は、直流バイアス印加により、電極間に整列する。

【0142】

なお、電極間にバイアス電圧を印加しながら導電性高分子からなる膜を形成する手法は乃至電極間に一分子長の導電性高分子膜を形成する手法は、端面に膜を形成する場合に限ることなく、通常の基板面に形成する場合にも適用することができる。

【0143】

また、外周電極は、周方向に分割されたものでもよい。中心電極と外周電極との間に他の電極を設けておいてもよい。また、任意の位置に電極を設けてもよい。

【0144】

なお、電極間にバイアス電圧を印加する代わりに導電性高分子の溶液あるいは溶解液に音波をかけてもよい。すなわち、端面を導電性高分子の溶液あるいは溶解液に侵漬した状態で該溶液あるいは溶解液に音波などによる振動を与える。振動の印加により高分子の絡みがほどける。振動数としては1Hz~10MHzが好ましい。音波のもちろん、音波を印加するとともに電極間にバイアスを印加してもよい。

【0145】

(実施例4)

図25は、n型半導体層とp型半導体層とからなるフォトダイオードに代えCdSを受容部としたものを示す図である。

【0146】

すなわち、入射光に対して内部抵抗の変化することを利用するものであり、エネルギー制御型センサである。

【0147】

本端面センサデバイスは、例えば、カメラの露出計、照度計などに適用することができる

10

20

30

40

50

。【0148】

(実施例5)

本例はカラーセンサデバイスの例である。本例を図26に示す。

【0149】

本例では、実施例1におけるp型半導体層2003の上に形成された透明電極2006aのさらに上に、R、G、Bなどのカラーフィルタ2013を形成したものである。カラーフィルタ2013は、線状体の端面を染料溶液に浸漬することにより容易に形成することができる。

【0150】

なお、本例における線状体においては中心電極2007の外周にi層が形成されている。i層にも導電性高分子を用いることができる。もちろん導電性高分子以外の半導体によりi層を形成してもよい。

【0151】

(実施例6)

本例は、多層型センサである。本例を図27に示す。

【0152】

本例における線状体は、中心電極2007、中間電極2015、外周電極2006を有しており、それぞれの電極間は絶縁膜が介在している。

【0153】

また、端面には、p型半導体層2016、n型半導体層2017、p型半導体層2018が順次形成されている。多層型カラーセンサは、フォトダイオードの接合面の深さによってその分光感度特性が異なることを利用したものである。

【0154】

本例の構成により、フィルタを使用しないカラーセンサデバイスが実現できる。用途としては、例えば、色の識別用、ビデオカメラのホワイトバランス用などがあげられる。また、従来信号処理回路が複雑であったが、線状体とすることにより、線状体の電極部を適宜接続することにより信号処理も容易に行うことが可能となる。

【0155】

(実施例7)

本例は、超音波センサデバイスである。本例を図28に示す。

【0156】

線状体は、中心電極2007と中心電極2007の外周に形成されたi層あるいは絶縁膜2020とから構成されている。

【0157】

線状体の端面には圧電膜2021が形成されている。

【0158】

本例では、中心電極2007を導電性高分子により構成することが好ましい。また、i層も導電性高分子により構成することが好ましい。

【0159】

中心電極2007を金属により構成した場合には、図28(c)に示すように、送信波発生後において小さなピークが発生しており、この地衣なピークは、S/N比低下の原因となりひいては高解像度実現のさまたげとなってしまう。それに対して、中心電極2007を導電性高分子により構成すると図28(b)に示すように上記小さなピークは発生せず、高解像度が実現される。

【0160】

なお、本例は、メディカルな超音波センサ、あるいは超音波顕微鏡としても利用することができる。

【0161】

(実施例8)

10

20

30

40

50

本例は、イオンセンサ乃至バイオセンサの例である。本例を図29に示す。

【0162】

線状体は、中心電極2007とその外周に形成された絶縁膜2008とから構成されている。

【0163】

線状体の端面の電極部に p^-Si 2030を形成し、その後全体を SiO_2 膜2031で被覆する。

【0164】

SiO_2 膜2031の端面部にイオン感応膜2032を形成する。

【0165】

イオン感応膜2032としてはの端面にイオン感応膜を形成した例である。

【0166】

(実施例9)

【0167】

以上のほかに、端面には対象に合わせた各種の受容部を形成することができる。例えば、シクロデキストリンを端面に形成した分子認識センサ、酵素センサ、匂いセンサ、味覚センサなどである。対象を受容したときに出力信号に変動をもたらし得る受容膜を適宜選択して受容部を形成すれば各種センサデバイスを形成することが可能となる。

【0168】

センサとしては、エネルギー変換型、エネルギー制御型のいずれであってもよい。

【0169】

[線状素子例]

(試験例1)

図1に線状素子例を示す。

【0170】

6が線状素子であり、この例ではMOSFETを示している。

【0171】

この素子は断面において、中心にゲート電極領域1を有し、その外側に、絶縁領域2、ソース領域4、ドレイン領域3、半導体領域5が順次形成されている。

【0172】

一方、図2に、かかる線状素子を形成するための押出し装置の一般的構成を示す。

【0173】

押出し装置20は、複数の領域を構成するための原料を熔融状態あるいは溶解状態、あるいはゲル状態で保持するための原料容器21、22、23を有している。図2に示す例では、3この原料容器を示しているが、製造する線状素子の構成に応じて適宜設ければよい。

【0174】

原料容器23内の原料は、型24に送られる。型24には、製造しようとする線状素子の断面に応じた射出孔が形成されている。射出孔から射出された線状体は、ローラ25に巻き取られるか、あるいは必要に応じて次の工程に線状のまま送られる。

【0175】

図1に示す構造の線状素子を製造する場合には図3に示すような構成が取られる。

【0176】

原料容器としてはゲート材料30、絶縁性材料31、ソース・ドレイン材料32、半導体材料34がそれぞれ容器内に熔融あるいは溶解状態、ゲル状態で保持されている。一方、型24には、それぞれの材料容器に連通させて、孔が形成されている。

【0177】

すなわち、まず、中心部には、ゲート材料30を射出するための複数の孔30aが形成されている。その外側周辺には、絶縁性材料31を射出させるための複数の孔31aが形成されている。そしてその外周にさらに複数の孔が形成され、この複数の孔の一部の孔32

10

20

30

40

50

a、33aのみがソース・ドレイン材料容器32に連通している。他の孔34aは半導体材料容器34に連通している。

【0178】

各原料容器から、熔融状態、溶解状態あるいはゲル状態の原料を型24に送入し、型24から原料を射出すると各孔から原料は射出し、固化する。その端を引っ張ることにより、糸状に連続して線状素子が形成される。

【0179】

糸状の線状素子は、ローラ25で巻き取る。あるいは必要に応じて次の工程に糸状のまま送る。

【0180】

ゲート電極材料としては、導電性ポリマーを用いればよい。例えば、ポリアセチレン、ポリフェニレンビニレン、ポリピロールなどが用いられる。特にポリアセチレンを用いることにより、より外径が小さな線状素子が形成できるため好ましい。

【0181】

半導体材料としては、例えば、ポリパラフェニレン、ポリチオフェン、ポリ(3-メチルチオフェン)などが好適に用いられる。

【0182】

また、ソース・ドレイン材料としては、上記半導体材料に、ドーパントを混入せしめたものを用いればよい。n型とするためには、例えば、アルカリ金属(Na、K、Ca)などを混入せしめればよい。AsF₅/AsF₃やClO₄⁻をドーパントとして用いる場合もある。

【0183】

絶縁性材料としては、一般的な樹脂材料を用いればよい。また、SiO₂その他の無機材料を用いてもよい。

【0184】

以上に例示した材料は以下の線状素子例に示す線状素子についても同様に用いられる。

【0185】

なお、本例では、取出電極は、線状素子の端面に接続している。もちろん長手方向の適宜の位置の側面に取出口を設けてもよい。

【0186】

(線状素子例2)

図4に線状素子例2を示す。

【0187】

本例では、線状素子例1における取りだし電極を線状素子の側面に設けたものである。図4(b)に示す取出部41a、41bは、長手方向の所望する位置に設定することができる。取出部41aと取出部41bとの間隔も所望の値とすることができる。

【0188】

取出部41のA-A断面を図4(a)に示す。なお、図4(b)のB-B断面は図1に示す端面の構造である。

【0189】

本例では、ソース4、ドレイン3の側面に取り出し電極としてソース電極45、ドレイン電極46をそれぞれソース4、ドレイン4に接続させてある。また、本道体層5とソース電極45、ドレイン電極46とは絶縁層47により絶縁されている。

【0190】

かかる構成とするためには図5に示す型を用いる。すなわち、ソース・ドレイン材料噴出口33a、34aの側面に絶縁層用の孔40aと取出電極用の孔41aを設ける。絶縁層用の孔40aは絶縁層材料容器(図示せず)に連通しており、取出電極用の孔41aは取出し電極材料容器(図示せず)に連通している。

【0191】

この場合、最初は、30a、31a、32a、33a、34aからのみ原料材料を噴出さ

10

20

30

40

50

せる。すなわち、40a、41aからの噴出はオフにする。半導体層原料は、40a、41aに対応する部分に廻り込み、線状素子例1に示す断面で押出される。なお、この際、絶縁層47、ドレイン電極46、ソース電極45はその幅を小さく取っておく。40a、41aからの噴出をオフにしたとき、半導体層を形成する材料はその部分に廻り込む。

【0192】

次に、40a、41aからの噴出をオンにする。これにより断面形状は変化し、図5に示す断面で押出される。40a、41aをオンにする時間とオフにする時間を適宜変化させることによりA-A断面の長さ、B-B断面の長さを任意の長さに調整することができる。

【0193】

なお、本例断面形状を間欠的に形成する例でもあり、A-Aとして他の断面形状、材料とすることもできる。例えば、A-A部分全部を絶縁層とすることもできる。

【0194】

他の端面形状の場合についても同様の手法により形成することができる。

【0195】

なお、ドレイン電極46、ソース電極45の面積を大きくとり、取出電極用の孔41aからの射出をオフにすれば半導体層の原料あるいは絶縁層の原料は完全には廻り込みまず、ソース電極・ドレイン電極に対応する部分は空間となる。押出し後その空間に電極材料を埋め込めばよい。

【0196】

(線状素子例3)

図6に線状素子例を示す。

【0197】

線状素子例1、2では線状素子を押出しにより一体形成する場合を示したが、本例では、線状素子の一部を押出しにより形成し、他の部分は、外部加工により形成する例を示す。

【0198】

線状素子としては線状素子例2で示す線状素子を例に取る。

【0199】

まず、ゲート電極1と絶縁膜2とを押出しにより糸状の中間体を形成する(図6(a))

【0200】

次に溶融あるいは溶解状態、ゲル状態にした半導体材料を絶縁膜2の外側にコーティングして半導体層61を形成して、二次中間体とする(図6(b))。かかるコーティングは、溶融あるいは溶解状態、ゲル状態に半導体材料の槽中を糸状の中間体を通過させればよい。あるいは蒸着などの方法を採用してもよい。

【0201】

次に、マスキング材62を半導体層61の外側にコーティングする。マスキング材61のコーティングも溶融ないし溶解、ゲル化したマスキング材中を二次中間体を通過させるなどして形成すればよい。

【0202】

次いで、マスキング材62の所定の位置(ドレイン・ソースに対応する位置)をエッチングなどにより除去して開口63を形成する(図6(c))。

【0203】

次いで、糸状二次中間体を減圧室内を通過させながら、射程距離を制御してイオン注入を行う(図6(d))。

【0204】

次いで、熱処理室を通過させてアニールを行うことによりソース領域、ドレイン領域が形成される。

【0205】

このように、形成する領域の配置や材料に応じて適宜押出しと外部加工とを組み合わせ

10

20

30

40

50

ばよい。

【0206】

(線状素子例4)

本例では、図1に示す線状素子における各領域を順次形成する例を示す。

【0207】

その手順を図7に示す。

【0208】

まず、紡糸技術により、型aの孔からゲート電極原料を射出してゲート電極1を形成する(図7(b))。このゲート電極1を便宜上中間糸状体と呼ぶ。

【0209】

次いで、図7(a)に示すように、中間糸状体を型bの中心を挿通させて中間糸状態を走行させながら、型bに形成された孔から絶縁膜材料を射出して絶縁膜2を形成する(図7(c))。なお、型bの下流側にはヒータが設けられている。必要に応じ、このヒータにより糸状体を加熱する。加熱することにより、絶縁膜中溶媒成分を絶縁膜から除去することが可能となる。以下のソース・ドレイン層、半導体層の形成についても同様である。

【0210】

次いで、中間糸状体を走行させながら、ソース・ドレイン層3、4を形成する(図7(c)、(d))。なお、ソース領域4とドレイン領域3とは絶縁膜2上で分離して形成されている。これは、型cの一部にのみ孔を設けることにより可能となる。

【0211】

次ぎに、中間糸状体を型dの中心を挿通させて同様に走行させながら、半導体層5を同様に形成する。

【0212】

なお、図7(f)に示すように、長手方向の一部にソース・ドレイン用の取出電極を設けたい場合には型dに設けてある複数の孔のうちの一部の孔(ソース・ドレイン電極に対応する部分の孔)からの原料の供給をオフとすればよい。また、長手方向全体に取出用の穴を設けたい場合には図7(g)に示すような型d2を用いて半導体層の形成を行えばよい。

【0213】

(線状素子例6)

図8に線状素子例6を示す。

【0214】

本例は、半導体素子の形成材料として導電性ポリマーを用いる場合の導電性ポリマーの射出例を示すものである。

【0215】

線状素子例5では、型内を中間糸状体を挿通させながら中間糸状体の表面に外層を形成する例を示した。本例は、この外層が導電性ポリマーである場合を示す。

【0216】

原料82($v_1 - v_0$)を 1 m/sec 以上とする。好ましくは 20 m/sec 以上とする。より好ましくは、 50 m/sec 以上

である。さらに好ましくは、 100 m/sec 以上である。上限としては、中間糸状体が切断しない速度である。切断を生じる速度は、材料の吐出量、材料の粘度、射出温度などによっても異なるが具体的には実施の材料などの条件を設定して予め実験により求めておけばよい。

【0217】

噴出速度 v_0 と走行速度 v_1 との差を 1 m/sec 以上とすることにより噴出された材料には、加速度がかかり外力が働く。外力の主な方向は走行方向である。導電性ポリマー中の分子鎖は、一般的には、図8(c)に示すように撚れた状態となっており、また、その長手方向もランダムな方向を向いている。しかるに、噴出とともに外力が走行方向にかかると、分子鎖は図8(b)に示すように、撚ればとれるとともに長手方向に水平に並ぶ。

10

20

30

40

50

【0218】

ところで、電子（あるいはホール）は、図8（b）に示すように、最も準位に近い分子鎖にホップすることにより移動する。従って、図8（b）に示すように分子鎖が水平方向に配向している場合には、図8（c）のようにランダムに配向している場合に比べて電子のホッピングは極めて生じやすくなる。

【0219】

噴出とともに外力が走行方向にかけることにより分子鎖を図8（b）に示すように配向させることができる。また、分子鎖間同士の距離も短くすることが可能となる。

【0220】

なお、本例は、他の線状素子例においても、導電性ポリマーにより所定の領域を形成する場合には当然適用することができるというまでもない。

【0221】

分子鎖の長手方向配向率を50%以上とすることにより電子の移動度が高まりより優れた特性を有する線状素子とすることができる。高い配向率は、噴出速度と走行速度との差を制御することによっても制御できる。また、長手方向への延伸率を制御することによっても制御することができる。

なお、ここで言う配向率は、長手方向に対して0～±5°の傾きを有している分子の数の全体の分子の数に対する割合に100をかけたものである。

【0222】

なお、70%以上とすることにより、より一層優れた特性の線状素子が得られる。

【0223】

（線状素子例7）

図9に線状素子例7に係る線状素子を示す。

【0224】

本例の線状素子は、中心に中空領域ないし絶縁領域70を有し、その外方に半導体領域5を有し、半導体領域5内に、一部が外方に露出するようにソース領域4及びドレイン領域3を有し、その外方にゲート絶縁膜領域2及びゲート電極領域1を有する。

【0225】

なお、ゲート電極領域1の外方に絶縁性の樹脂などからなる保護層を設けてもよい。保護層の適宜の位置を開口させゲート電極の取出し部分としてもよい。

【0226】

なお、本例においても長手方向の任意の位置に線状素子例2と同様に図7に示す断面間に別の形状を有する断面を挿入してもよい。

【0227】

本例の線状素子の場合、中空領域70と半導体領域5とを押出しにより形成後、ソース領域4、ドレイン領域3にドーピングを行い、次いで、絶縁膜領域、ゲート電極領域1をそれぞれコーティングにより形成することが好ましい。絶縁膜2としては、SiO₂などの無機材料を用いることが好ましい。

【0228】

（線状素子例8）

図10（a）に線状素子例8に係る線状素子を示す。

【0229】

本例は、pin構造を有する線状素子である。

【0230】

すなわち、中心に電極領域102を有し、その外方に、n層領域101、i層領域100、p層領域103、電極領域104が形成されている。なお、本例では、p層領域103の外方に透明樹脂などからなる保護層領域105が設けてある。

【0231】

この線状素子は、電極領域102、n層領域101、i層領域100を押出しにより一体的に形成する。

【0232】

p層領域103、電極領域104は後付け加工により形成する。例えば、コーティングなどにより形成する。p層領域103を後付け加工とすることによりp層領域103の厚さを薄くすることができる。そのため、光起電力素子として用いる場合、p層103からの入射光を効率良く空乏層に取り込むことが可能となる。

【0233】

もちろん、電極領域102、n層領域101、i層領域100、p層領域103、電極領域104を押出しにより一体形成してもよい。

【0234】

なお、図10(a)では、i層の円周形状は円としたが、星型形状とすることが好ましい。これによりp層103とi層100との接合面積が増大し、変換効率を高めることが可能となる。

10

【0235】

図10(a)に示す例では、電極104はp層103の一部に設けてあるが全周を覆って形成してもよい。

【0236】

なお、np構造の場合には、p層103と電極104との間にp⁺層を設けてもよい。p⁺層を設けることによりp層103と電極104とのオーミックコンタクトが取りやすくなる。また、電子はi層側に流れやすくなる。

【0237】

p層、n層、i層を形成するための半導体材料としては、有機半導体材料が好適に用いられる。例えば、ポリチオフェン、ポリピロール等が用いられる。p型、n型とするためには適宜のドーピングを行えばよい。p型ポリピロール／n型ポリチオフェンの組み合わせでもよい。

20

【0238】

また、電極材料としても導電性ポリマーが好ましい。

【0239】

(線状素子例9)

図10(b)に線状素子例9に係る線状素子を示す。

【0240】

線状素子例5では、pin構造を同心円状に形成したが、本例では、断面形状四角形とした。p層領域83、i層領域80、n層領域81を横配列とした。また、電極82、83をそれぞれ側面に形成した。

30

【0241】

本例では、図10(b)に示す断面が長手方向に連続的に形成されているものである。

【0242】

この構造の線状素子は、押出し加工により一体的に形成すればよい。

【0243】

(線状素子例10)

本例では、中心部に電極領域を有し、その外周にp型材料とn型材料とを混合した材料からなる一つの領域を形成する。さらにその外周に電極領域を形成する。

40

【0244】

すなわち、上記例では、p層とn層との接合させた2層構造(あるいはi層を介在させた3層構造)のダイオード素子を示した。しかし、本例はp型材料とn型材料とを混合した材料からなる一層構造の例である。

【0245】

p型／n型混合体材料は電子供与体導電性ポリマーと電子受容体導電性ポリマーとを混合することにより得られる。

【0246】

p型／n型混合体材料により素子領域を形成すれば単純な構造となり好ましい。

50

【0247】

(線状素子例11)

本例では、上記線状素子例において示した線状素子をさらに長手方向に延伸させた。延伸方法は、例えば、銅線や銅管を延伸させる技術を用いればよい。

【0248】

延伸させることにより径をさらに細径化させることができる。特に、導電性ポリマーを用いている場合には、前述したように、分子鎖を長手方向に平行にすることができる。のみならず、平行となった分子鎖同士の間隔を小さくすることができる。従って、電子のホッピングが効率良く行われる。その結果、より特性の優れた線状素子を得ることができる。

【0249】

延伸による絞り率、10%以上が好ましい。10~99%がより好ましい。

なお、絞り率は、 $100 \times (\text{延伸前面積} - \text{延伸後面積}) / (\text{延伸前面積})$ である。

【0250】

延伸は、複数回繰り返し行ってもよい。弾性率が大きくない材料の場合は繰り返して延伸を行えばよい。

【0251】

延伸後における線状素子の外径としては、1mm以下が好ましい。10 μ m以下がより好ましい。1 μ m以下がさらに好ましい。0.1 μ m以下が最も好ましい。

【0252】

(線状素子例12)

図11に線状素子例12を示す。

【0253】

本例では、断面四角形状に原体材料を押出しにより線状に形成して中間線状押出体11を製造する(図11(a))。他の断面形状に押し出してもよい。

【0254】

次いで、中間線状押出体111を断面における横方向あるいは断面縦方向に展伸して展伸体112を形成する(図11(b))。図では図面上横方向に展伸させた例を示している。

【0255】

次いで、展伸体112を長手方向に平行に適宜の数に切断して単位展伸体113a、113b、113c、1113dを複数製造する。なお、この切断を行うことなく次の工程に移行してもよい。

【0256】

次いで、単位展伸体を適宜の形状に加工する。図に示す例では、リング形状(図11(d))、螺旋形状(図11(e))、二重リング形状(図11(f))に加工している。

【0257】

次いで、中空部114a、114b、114c、114dに適宜の材料を埋め込む。単位展伸体が半導体材料である場合には電極材料を埋め込む。もちろん、リング形状などへの加工後ではなく、リング形状への加工と同時に埋め込みを行ってもよい。

【0258】

また、図11(f)に示すような二重構造の場合単位展伸体114cと単位展伸体114dとは異なる材料を用いてもよい。

【0259】

また、押出し後(図11(a))、展伸後(図11(b))、切断後(図11(d))にその表面に他の材料をコーティングしておいてもよい。例えば、ディッピング、蒸着、めっきその他の方法によりコーティングを行えばよい。コーティングする材料は、製造する素子の機能に応じて適宜選ぶことができる。半導体材料、磁気材料、導電性材料、絶縁性材料のいずれでもよい。また、無機材料、有機材料のいずれでもよい。

【0260】

本例において、展伸体材料として導電性ポリマーを用いた場合には、分子鎖の長手方向は、展伸方向である図面上における左右となるように配向する。そのため、リング状に加工

10

20

30

40

50

した後においては、図 1 1 (g) に示すように円周方向に分子鎖の長手方向が配向する。従って、電子は、半径方向にホッピングしやすくなる。

【0261】

また、リング状に加工する場合、開口 1 1 5 を設けておくと、この開口を例えば、電極等の取出口として用いることができる。線状素子同士を織り込んで集積装置とする際における線状素子同士の接続部とすることもできる。また、他の領域との接合面として用いることもできる。

【0262】

なお、リング形状などの加工した後は、所望の断面領域を有する線状素子を完成させるための中間体としてこのリング形状等を有する線状体を用いることができる。

【0263】

なお、図 1 1 (h) に示すように、線状体の長手方向の適宜位置に周期的あるいは非周期的にくびれ部（断面の外径形状が他の部分と異なる部分）1 1 7 を設けておいてもよい。長手方向に垂直に他の線状素子を織り込む場合、このくびれ部を位置決めを目印として利用することができる。かかるくびれ部の形成は、本例に限らず、他の線状素子においても適用することができる。

【0264】

なお、円周方向への分子鎖の配向率を 50% 以上とすることが好ましい。70% 以上とすることがより好ましい。これにより優れた特性の線状素子が得られる。

【0265】

（線状素子例 1.3）

図 1 2 に、断面形状が間欠的に形成されている素子の製造方法例を上記線状素子例中においても述べたが、本例では、押出形成の場合における他の製造例を示す。

【0266】

なお、図 1 2 では、回路素子を形成する領域の一部の領域のみを示す。

【0267】

図 1 2 (a) は、半導体材料を射出する際に a に示すタイミングだけ半導体材料を射出するものである。導線材料を連続的に射出し、半導体材料を間欠的に射出して導線と半導体とを同時に形成してもよい。また、導線部分を最初に形成し、導線を走行させながら導線の周囲に半導体材料を間欠的に射出してもよい。

【0268】

図 1 2 (b) に示す例においては、最初に線状の半導体あるいは絶縁体を形成し、その後、長手方向に間欠的に導電体を蒸着などによりコーティングすることにより長手方向に異なる断面領域を有する部分を設けるものである。

【0269】

図 1 2 (c) に示す例においては、まず、有機材料を線状に形成する。次いで、長手方向に間欠的に光を照射して、照射した部分に光重合を起こさせる。

【0270】

これにより、長手方向に異なる断面領域を有する部分を形成することができる。

【0271】

図 1 2 (d) は、 α は光透過性の導電性ポリマーであり、 β は光硬化性の導電性ポリマーからなる 2 層を一体に押出により形成した中間線状体である。この中間線状体を走行させながら間欠的に光を照射すると a 部分が光硬化を起こす。これにより長手方向に異なる断面領域を有する部分を形成することができる。

【0272】

図 1 2 (e) は、イオン照射を用いる例である。線状体を走行させ、その途上に照射装置を設けておく。イオン照射からイオンを間欠的に照射する。イオンの照射は全方向から行ってもよいし、所定方向からのみ行ってもよい。形成しようとする断面領域に応じて適宜決定すればよい。また、イオンの射程距離も適宜決定すればよい。

【0273】

10

20

30

40

50

イオン照射装置の下流に加熱装置を設けておき、イオン照射後の線状体を加熱する。加熱によりイオンが照射された部分は別組織となる。

【0274】

全方向から照射した場合には全面が別組織となる。また、所定の方向からのみイオンを照射した場合には、その部分のみが別組織となる。

【0275】

なお、ことによりイオンが照射された部分は、図12(f)に示す例では、イオンの照射対象である中間線状体は一層構造の例を示したが、2層構造であってもイオン照射時の射程距離を制御することにより内部にのみイオンを注入することも可能である。熱処理により照射された内部に別組織を形成することができる。

【0276】

中間線状体としてシリコン線状体を用い、 O イオンを注入すれば SiO_2 領域を形成することができる。射程距離を制御すればいわゆるBOX（埋め込み酸化膜）を形成することができる。なお、間欠的に別断面領域を形成する場合としてBOXを述べたがBOXは長手方向全域に形成してもよい。

【0277】

（応用例1）

本例は、複数の線状素子の織り込みにより集積回路を形成する例である。

【0278】

図13に集積回路例を示す。

【0279】

図13に示す集積回路はDRAMタイプの半導体メモリである。DRAMメモリは縦横に配列されたメモリセルからなり、その回路を図13(a)に示す。

【0280】

一つのセルはMOSFET209a1とコンデンサ207とからなる。一つ一つのセルにはビット線S1、S2・・・とワード線G1、G2・・・の導線がつながっている。

【0281】

図13(b)に示すように、このセルをMOSFET線状素子209a1とコンデンサ線状素子207から構成する。MOSFET線状素子を列の数だけ容易する。

【0282】

このMOSFET209a1は、中心部から外周に向かいにゲート電極201、絶縁層202、ソース・ドレイン204、205、半導体層203が順次形成されている。

【0283】

また、長手方向においては素子分離領域210が形成されている。ただ、ゲート電極201は一つの線状体を貫いている。すなわち、一つのゲート電極を共通のワード線として、一つの線状体には、複数のMOSFET209a1、209b1、・・・が長手方向に形成されている。

【0284】

また、図13(a)のMOSFET209a2、a3・・・も同様に線状素子により構成する。

【0285】

なお、このMOSFET線状素子は高分子材料から構成することが好ましい。

【0286】

また、ソース領域204の取出部は図13(c)に示すように径方向に突出させてある。これは、ビット線S1とのコンタクトを取りやすくするためである。また、図13(d)に示すようにドレイン領域205も径方向に突出させてある。この突出位置は、ドレインとソースとで長手方向でずらしてある。

【0287】

一方、コンデンサ線状素子207は、中心から電極、絶縁層、電極が外方に向かい順次形成されている。

10

20

30

40

50

【0288】

S1はビット線であり、線状形状をなしている。材料としては導電性ポリマーを用いることが好ましい。このビット線S1206をソース部204に巻きつけソース204とのコンタクトをとっている。このビット線S1は、MOSFET209a2、a3……をそれぞれ構成する線状MOSFET素子のソース領域に巻きつけられている。

【0289】

また、ドレイン領域205とコンデンサ207とは、線状の導電性ポリマー210により接続されている。

【0290】

なお、図13に示す例では、コンデンサを別の線状素子としたが、MOSFETが形成されている線状体の適宜の位置に設けておいてもよい。それにより使用する線状素子の数が少なくなり、集積度をより一層高めることができる。また、コンデンサを導電性ポリマー210で接続するのではなく、MOSFET線状素子に導電性接着剤等を用いて直接接合せしめてもよい。

【0291】

以上のように線状素子を縦横に織り込んだ後、全体を絶縁性材料で被覆して、導電部のリークを防いでおけばよい。

【0292】

なお、コンデンサに代えてダイオードを用いてもよい。

【0293】

(応用例2)

本例は、複数の線状素子を束ねることにより形成した集積回路を示す。

【0294】

本例においてもMOSFET線状素子を使用する例を示す。もちろん他の線状素子を用いてもよい。

【0295】

MOSFET線状素子を複数個用意する。

【0296】

各線状素子の端面には、信号入力素子を形成しておき、束ねれば、各種情報を感知することが可能となる。例えば、光センサ、イオンセンサ、圧力センサ等を設けておけば、人間の5感に対応した情報を感知することができる。

【0297】

例えば、100種類の信号に対応したセンサを従来の基板型半導体集積回路で形成しよとすると、100回のフォトリソ工程を繰り返して製造しなければならない。しかるに、線状素子の端面を利用する場合にはかかるフォトリソ工程を繰り返すことなく簡単に100種類の信号に対応したセンサとすることができる。また、高密度のセンサが得られる。

【0298】

(応用例3)

例えば以下に述べるように光起電力集積装置として適用することができる。

【0299】

pin構造を有する線状素子を束ね、燃合わせ、あるいは織り込みむことにより光起電力装置とすることができる。なお、pin層は導電性ポリマーにより構成することが好ましい。また、増感剤を添加しておくことが好ましい。

【0300】

例えば、線状素子を織り込むことにより布地とし、この布地により衣服とすることもできる。この場合、線状素子全体が光受光領域となり360°の角度から入射光を受けることができる。のみならず、三次元的に光を受光することができ、受光効率の優れた光起電力素子とすることができる。

【0301】

また、光の取り込み効率も非常に高い。すなわち、線状素子に入力せず反射した光も布地

10

20

30

40

50

内に取り込まれ反射を繰り返すことにより他の線状素子に入力する。

【0302】

なお、上記線状素子は、押出し加工により形成することが好ましい。

【0303】

各素子からの電極を集電電極に接続し、この集電電極に接続端子を設けておけばよい。

【0304】

また、衣服の裏地に蓄電池を組み込んでおけば、暗所においても電気を利用することができる。

【0305】

また、発熱体を衣服に設けておけば、暖房効果を有する衣服とすることができる。

【0306】

さらに、線状発熱体を絶縁層で被覆し、線状光起電力素子とともに布地状に織り込めば暖房効果を有する衣服を製造することができる。

【0307】

また、線状素子を所望形状の基材に植毛して太陽電池とすることができる。すなわち、線状素子を毛羽立ち状態あるいはハリネズミ状態で植毛することにより非常に光取り込み効率のよい太陽電池とすることができる。

【0308】

通信衛星では全体の重量の軽量化が望まれている。上記太陽電池は非常に軽量であるため通信衛星における発電装置として有効である。

【0309】

可撓性を有しているため任意形状に沿わせることが可能であり、通信衛星の本体外面に接着剤を用いて貼り付けることができる。

【0310】

なお、人間の頭の形状に合わせた基材を容易にその表面に線状の光起電力素子を植毛すれば発電機能を有する人口かつらとすることができる。

【0311】

また、極細線状素子を用いる場合には、スエード効果を有し皮革調の表面とすることができる。かかる線状素子によりバックにすることも可能である。すなわち、発電機能を有するバックとすることができる。

【0312】

(応用例4)

図14に他の応用例を示す。

【0313】

本例では、ゲート電極を絶縁層で被覆した線状体の適宜の位置に線状のソース電極とドレイン電極を接触させる。ソース電極の接触部とドレイン電極の接触部にわたる範囲に有機半導体材料を塗布する。

【0314】

また、図15に示すように、線状のソース電極あるいはドレイン電極を、ゲート電極を絶縁層で被覆した線状体に1回ないし複数回巻きつけてもよい。巻きつけることにより十分な接触をとることができる。なお、線状体にくびれを設けておけば巻きつけなどを行う際の位置決めに便宜である。

【0315】

図16に示すように、ソース電極・ドレイン電極は、適宜の線状体にのみ接触させることもできる(A点)。また、ソース・ドレイン電極間をさらに他の導線で接続することができる(B点)。

【0316】

図16では、列として一例の例を示してあるが、複数列に配置することも可能である。この場合、三次元的に接続を行うえばよい。線状体、ソース電極、ドレイン電極は、可撓性を有しているため、所望する位置において所望する方向に曲げることができる。

10

20

30

40

50

【0317】

線状体として例えばMOSFET線状素子などを用いて、三次元的に相互の接続を所望する位置でとれば、所望する論理回路を組み立てることができる。従来の半導体基板を基本構成とした場合には、電流流路が長いものとならざるを得ないが、線状素子を用いれば電流の流路は極めて短くすることが可能であり、極めて高速の論理回路を構成することが可能となる。

【0318】

(線状素子例14)

図17に線状素子例14を示す。

【0319】

図17(a)に示すように、本例の線状素子では、中心部に中心電極3000を有し、該中心電極3000の外周に絶縁層3004が形成され、該絶縁層3004の外周に、ソース領域3001a、3001b、3001c、3001dとドレイン領域3002a、3002b、3002c、3002dとの対が複数対3005a、3005b、3005c、3005d形成されている半導体層3003が形成されている。

【0320】

図17(a)に示す線状素子の等価回路を図17(b)に示す。

【0321】

本例では、中心電極3000がゲート電極となっている。また、中心電極3000は共通電極となっている。すなわち、4つのソース・ドレイン対3005a、3005b、3005c、3005dの共通電極となっている。ゲート電極を一つのみ有することにより4対のMOSFETが一つの線状体に作成することができている。もちろんソース・ドレイン対は、4つに限らず、2以上の複数個形成してよい。

【0322】

図17(c)は、ソースを共通ラインで結んだ場合の等価回路である。線状体の上あるいは下の端面においてソースを結線すればよい。また、線状体の長手方向の中間部に露出部を形成しておき、そこから結線してもよい。

【0323】

図17(d)は、ドレインを共通ラインで結んだ場合の等価回路である。ドレイン同士の結線は、ソースの場合と同様にすればよい。

【0324】

本例の素子は、例えば、前述した射出成型により製造することができる。

【0325】

(線状素子例15)

図18に線状素子例15を示す。

【0326】

図18(a)に示すように、本例の線状素子は、中心部に電極3100を有し、該中心電極3100の外周に絶縁層3103aが形成され、該絶縁層3103aの外周に半導体層3104b、3104cと絶縁層3103b、3103cとが交互に複数層形成され、2層目よりそと側の各半導体層には、ソース領域3102bとドレイン領域3101bとの対が一对以上形成されるとともに、該ソース領域3102bとドレイン領域3101bとの間に、内側の半導体層におけるドレイン領域310a乃至ドレイン電極が位置するように構成されている。

【0327】

図18(b)に図17(a)の素子の等価回路を示す。

【0328】

本例では、内側に周におけるドレイン出力が、外側の周における半導体層の入力となっている。従って、一つのゲート(中心電極3100)で多数の信号を並列処理することが可能となる。

【0329】

10

20

30

40

50

図18(c)は、一つの半導体層に複数のMOSFETを形成した場合の等価回路である。このように、本例によれば極めて集積度の高い集積回路を形成することが可能となる。

【0330】

(線状素子例16)

図19に線状素子例16を示す。

【0331】

本例は、半導体層3200の中心にソース領域3201を有し、該ソース領域3201の周囲に半導体層を介して周方向に間欠的に配列された複数のゲート電極3202a、3202b、3202c、3202d、3202e、3202fを有し、該半導体層3200の外周にドレイン領域3203を有する。

【0332】

本例の素子の製造例を図19の▲1▼～▲5▼に示す。

【0333】

まず、ソース用の線3201を用意する。ソース用線としては、例えば、銀、金その他の導電性材料を用いればよい。

【0334】

次にデッピング法などによりソース用の線3201の表面に半導体層を被覆する。半導体としては前述して有機半導体が好ましい。

【0335】

一方、ゲート電極を複数本用意し、このゲート電極を平面上に所望の間隔をおいて配置する。

【0336】

半導体層を被覆した後、半導体層が半乾燥状態の時点で、▲3▼に示すように、ゲート電極上をころがす。これにより、半導体層の表面に所望の間隔をおいてゲート電極が周状に配置された中間間が形成される。

【0337】

次いで、ゲート電極が形成された中間体の表面にデッピング法などにより半導体液層を形成する。

【0338】

次いで、金などからなるドレイン電極を蒸着法などにより半導体層の外周に形成する。

【0339】

(線状素子例17)

線状素子に対しては各種目的をもって熱処理が行われる。また、線状素子にドーパントの注入が行われる。

【0340】

図20は、異なる温度での熱処理を行ったり、異なるドーパントの注入を行うことが可能な装置を示す図である。

【0341】

本装置は、複数のパイプ2200a、2200bが多段状に配置されており、線状素子2202が多段状に配置されたパイプ2200a、2200bを貫いて送り込まれるようになっている。

【0342】

例えば、線状素子2202のA部に酸化膜を形成したい場合には、線状素子2202の送りを停止し、パイプ2200aに加温された酸化性ガスを導入してやればよい。あるいは、ドーパントを含むガスを導入すればA部にドーパントを注入することができる。従って、長手方向に異なる断面領域を有する線状素子を作成することができる。

【0343】

また、線状素子2202全体を熱処理したい場合には、線状素子の送りを続けた状態でパイプ2200aに加温された不活性ガスを導入してやればよい。例えば、ドーパントを注入後ドーパントの拡散を行うための熱処理に用いることができる。

10

20

30

40

50

【0344】

また、パイプ2200aとパイプ2200bとには同じガスを流してもよいし異なるガスを流してもよい。同じガスを流す場合であったもガス温度を異なるものとしてもよいし、同じ温度としてもよい。

【0345】

なお、パイプ2200aとパイプ2200bとの間は密閉状態とし、密閉空間から排気を行えるようにしておくことが好ましい。これにより、リークガスが外部に漏れることを防止することができる。

【0346】

ガスとしては、例えばジボランガスを流してもよい。この場合、線状素子は、液相を通過しているため、例えばドーピングが可能である。すなわち、図20に示すような簡単な装置でもドーピングを行うことができる。

【0347】

なお、線状素子への熱処理は、最適な接合や結晶性を得ることを目的とする熱処理、ドーパントの拡散を目的とする熱処理その他の熱処理が例示される。

【0348】

【発明の効果】

(線状素子の効果)

形状に限定されることなく、柔軟性ないし可撓性を有し、任意の形状の各種装置を作成することが可能な線状素子及びその製造方法を提供することができる。

【0349】

形状に限定されることなく、柔軟性ないし可撓性を有し、任意の形状の各種装置を作成することが可能な端面センサデバイス及びその製造方法を提供することが可能となる。

【図面の簡単な説明】

【図1】線状素子例に係る線状素子を示す斜視図である。

【図2】線状素子の製造装置例を示す概念正面図である。

【図3】線状素子の製造に用いられる押出装置を示す正面図及び型の平面図である。

【図4】線状素子の線状素子例を示す図である。

【図5】線状素子の製造に用いられる型の平面図である。

【図6】線状素子の製造工程例を示す断面図である。

【図7】線状素子の製造工程例を示す図である。

【図8】線状素子の製造例を示す図である。

【図9】線状素子例に係る線状素子を示す斜視図である。

【図10】線状素子例に係る線状素子を示す断面図である。

【図11】線状素子の製造例を示す工程図である。

【図12】線状素子の製造例を示す斜視図である。

【図13】集積回路装置への応用例を示す図である。

【図14】集積回路装置への応用例を示す図である。

【図15】集積回路装置への応用例を示す図である。

【図16】集積回路装置への応用例を示す図である。

【図17】線状素子例14を示す図である。

【図18】線状素子例15を示す図である。

【図19】線状素子例16を示す図である。

【図20】線状素子例17を示す図である。

【図21】実施例1を示す工程図である。

【図22】実施例1における製造例を示す図である。

【図23】実施例2における製造例を示す斜視図である。

【図24】実施例3における製造例3を示す斜視図である。

【図25】実施例4を示す断面図である。

【図26】実施例5を示す断面図である。

10

20

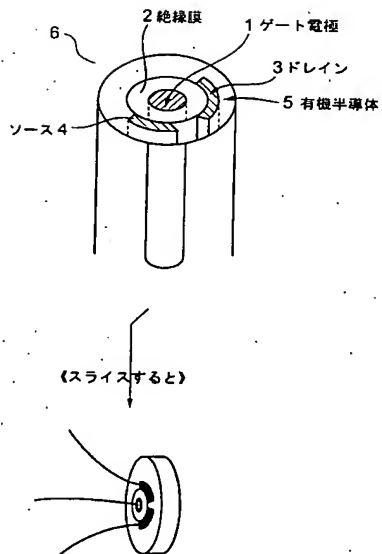
30

40

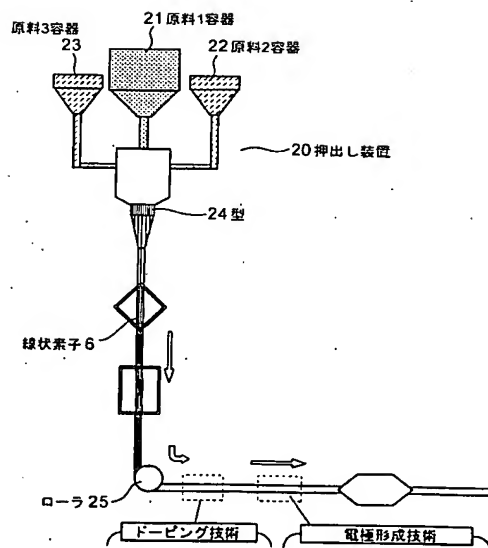
50

- 【図27】実施例6を示す断面図である。
 【図28】実施例7を示す断面図である。
 【図29】実施例8を示す断面図である。

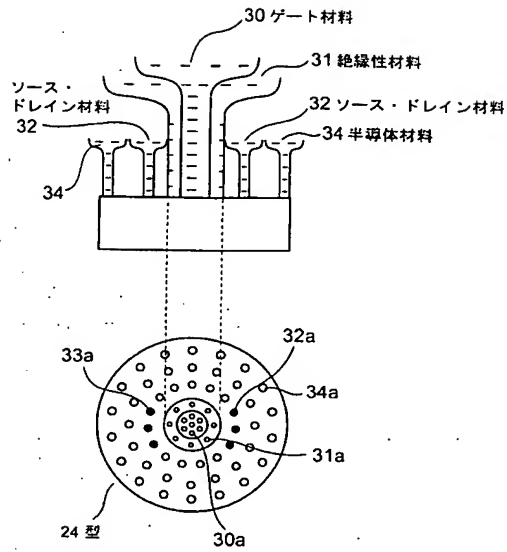
【図1】



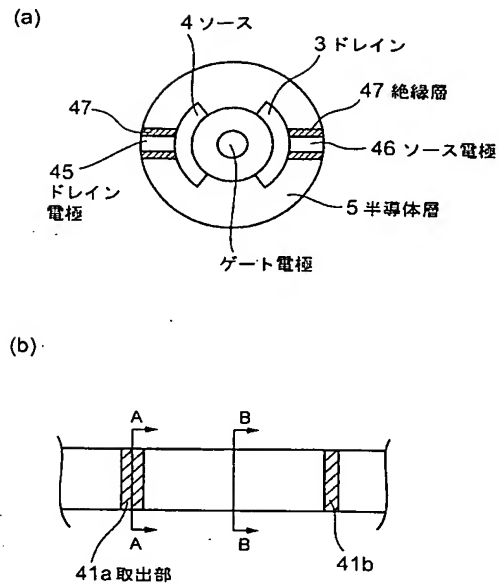
【図2】



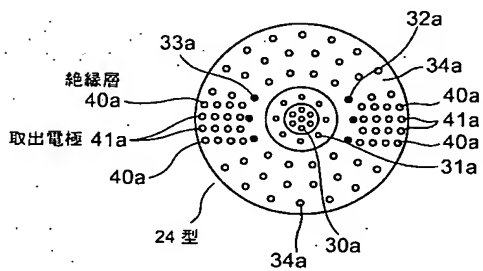
【図 3】



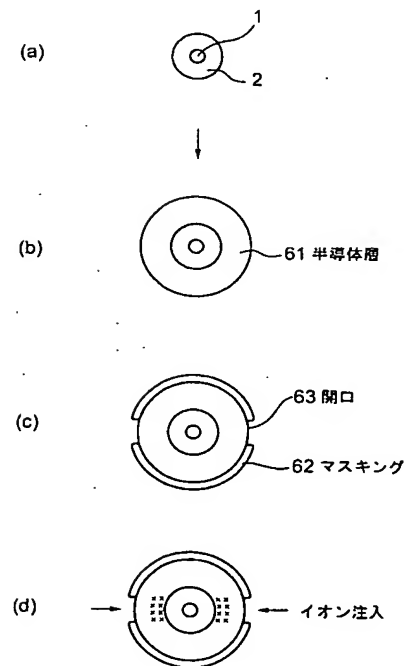
【図 4】



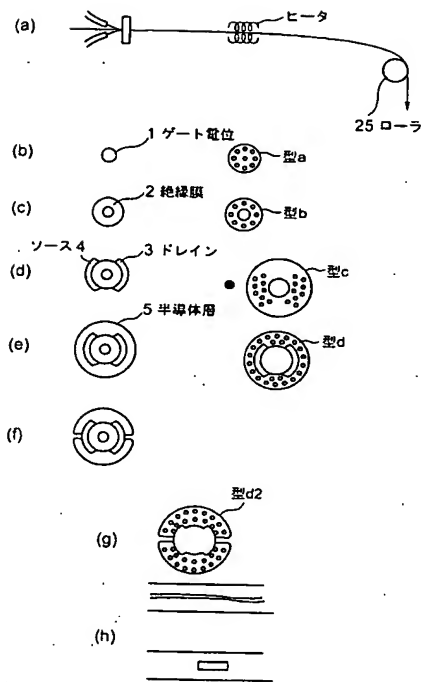
【図 5】



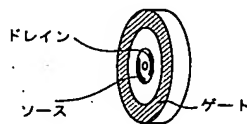
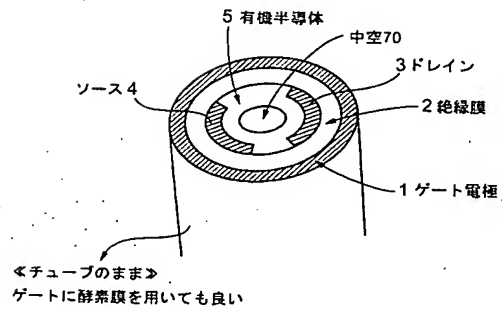
【図 6】



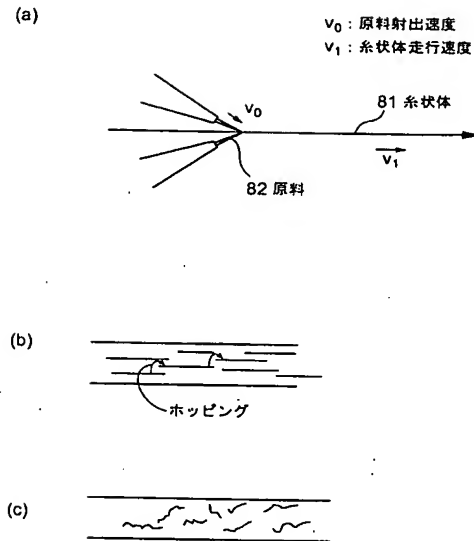
【図 7】



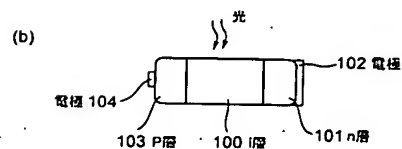
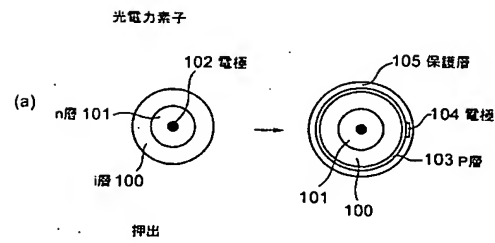
【図 9】



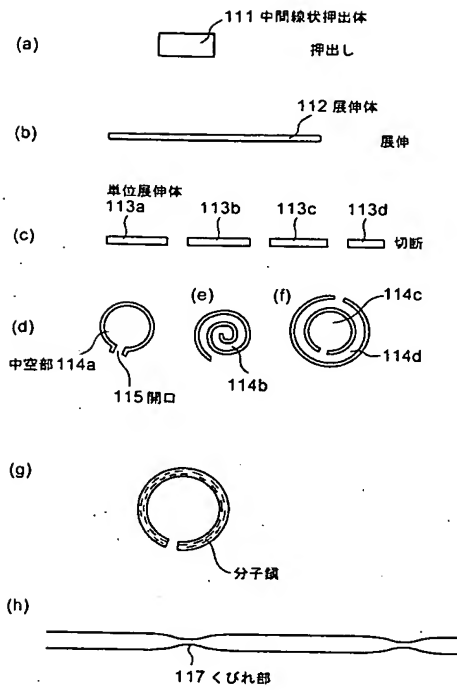
【図 8】



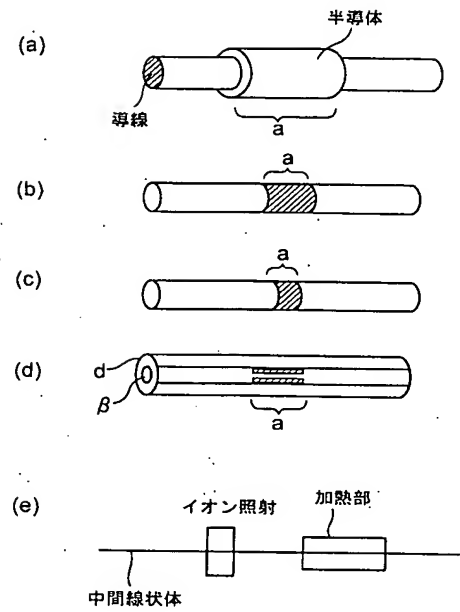
【図 10】



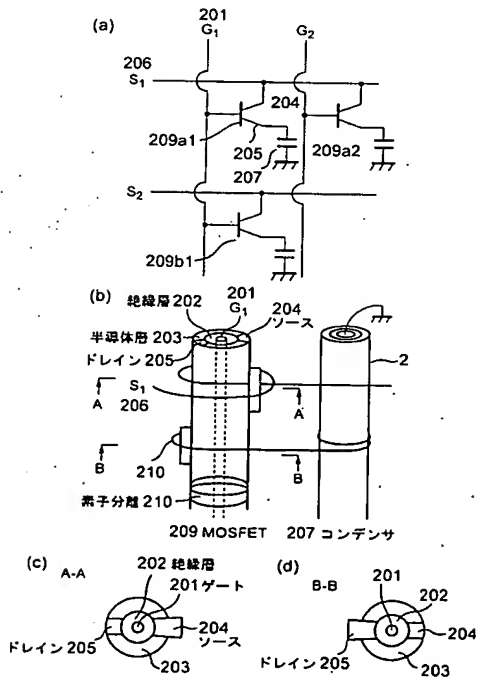
【図 1 1】



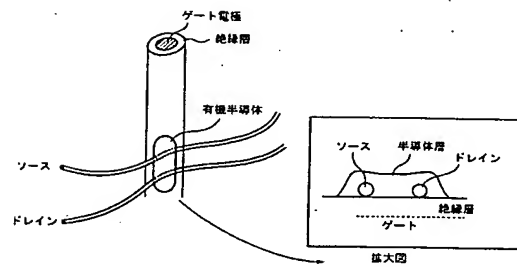
【図 1 2】



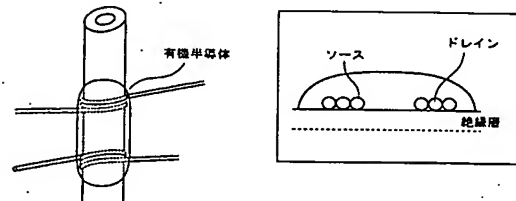
【図 1 3】



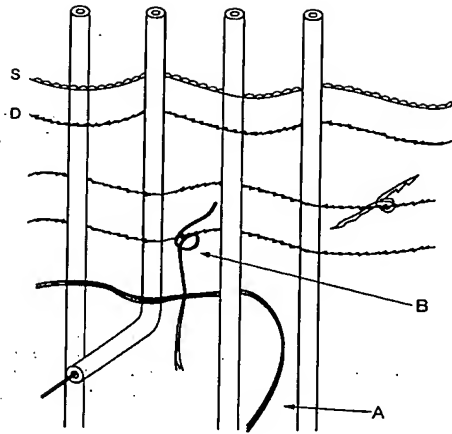
【図 1 4】



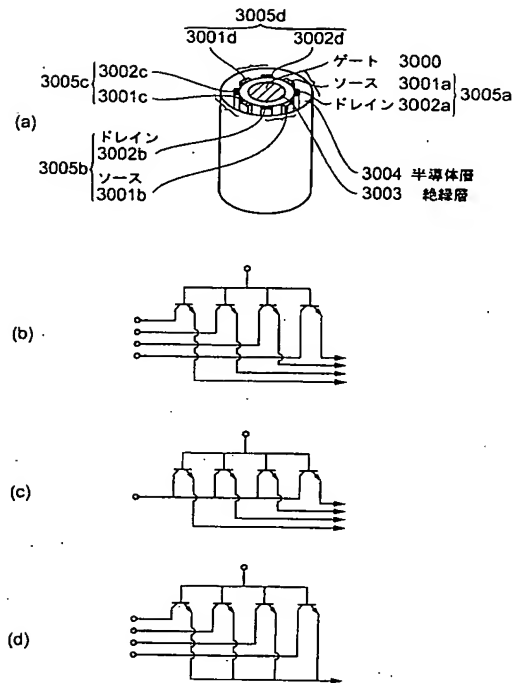
【図 1 5】



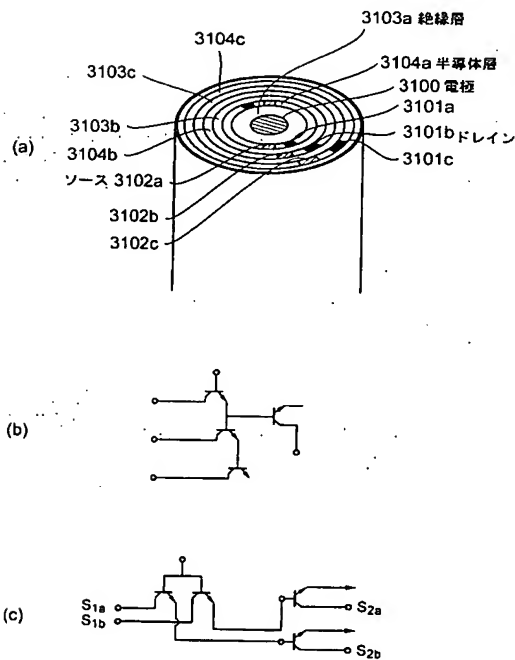
【図 16】



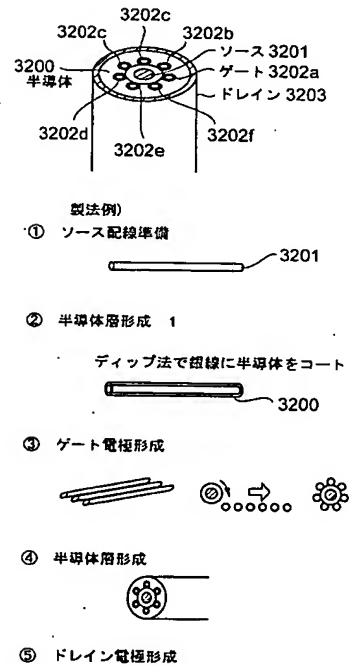
【図 17】



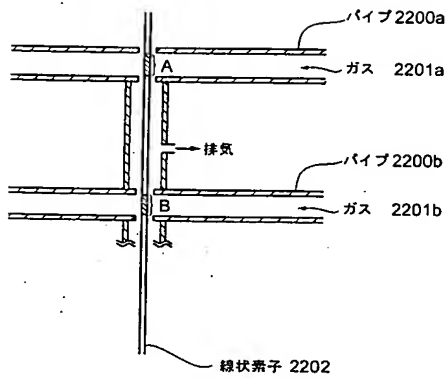
【図 18】



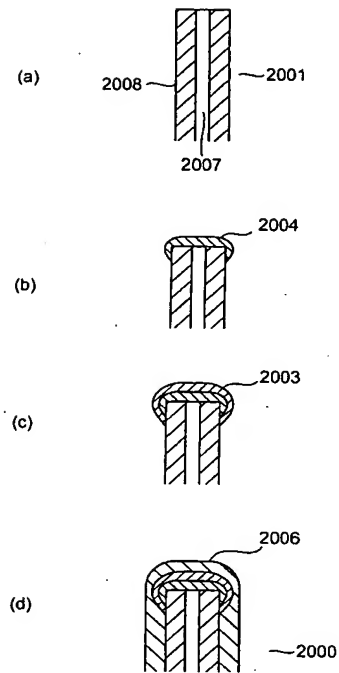
【図 19】



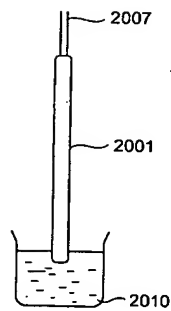
【図20】



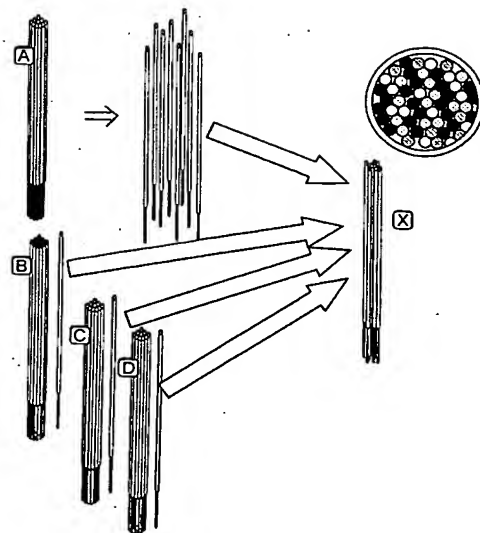
【図21】



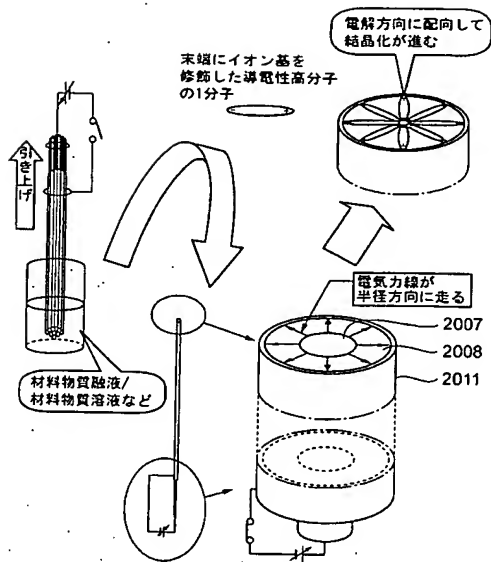
【図22】



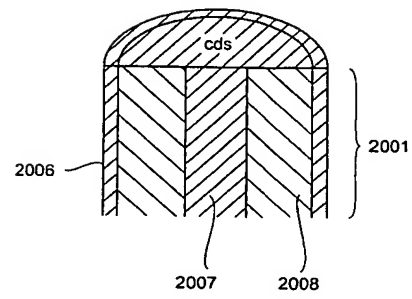
【図23】



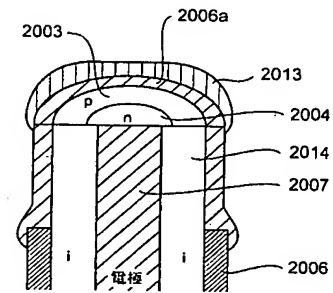
【図 24】



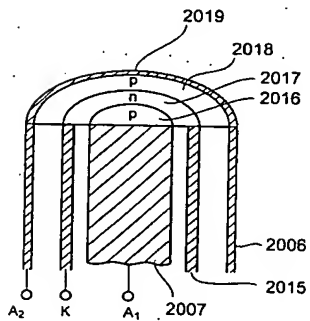
【図 25】



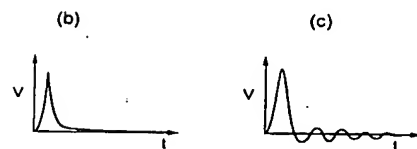
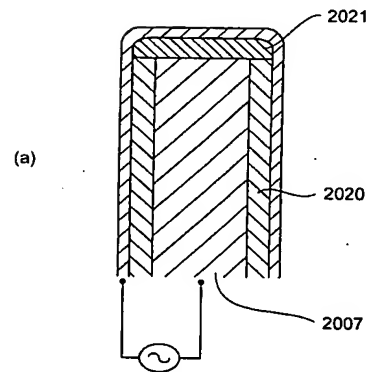
【図 26】



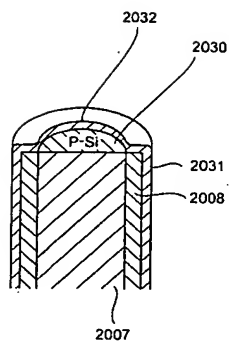
【図 27】



【図 28】



【図 29】



フロントページの続き

(51)Int. Cl. ⁷

F I

テーマコード (参考)

H O 1 L 29/786

H O 1 L 27/10 6 7 1 Z

H O 1 L 33/00

H O 1 L 29/78 6 2 6 Z

H O 1 L 37/02

H O 1 L 27/14 C

H O 1 L 51/00

H O 1 L 29/28

H O 1 L 51/10

F ターム (参考) 4M118 AA10 AB01 BA05 CA03 CA05 CB05 FB09 FB13 FB20 GC08
5F041 CA45
5F083 AD01 AD02 AD11 KA05
5F088 AA02 AB11 BA20 BB06
5F110 AA30 BB09 BB10 EE01 EE02 EE03 EE22 EE41 FF02 GG05
GG42 HJ01 HJ13 HJ23